



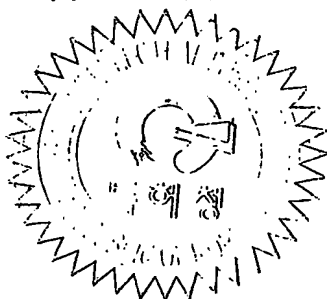
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0022723 ✓  
Application Number

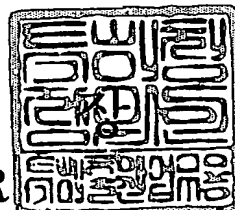
출원 년 월 일 : 2003년 04월 10일 ✓  
Date of Application APR 10, 2003

출원인 : 주식회사 메닉스 외 1명  
Applicant(s) MENICS CO., LTD., et al.



2004 년 03 월 24 일

특 허 청  
COMMISSIONER



**PRIORITY  
DOCUMENT**

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.10
【발명의 명칭】	엇배열 디자인 구조를 갖는 웨이퍼 및 이를 이용한 반도체패키지 제조방법
【발명의 영문명칭】	A WAFER WITH ALTERNATION DESIGN FORM AND THE SEMICONDUCTOR PACKAGE MANUFACTURING METHOD THEREFOR
【출원인】	
【명칭】	주식회사 메닉스
【출원인코드】	1-2002-018623-2
【출원인】	
【성명】	윤수상
【출원인코드】	4-2001-013189-4
【대리인】	
【성명】	김희소
【대리인코드】	9-1999-000250-1
【포괄위임등록번호】	2002-036200-9
【포괄위임등록번호】	2003-023249-1
【대리인】	
【성명】	김봉희
【대리인코드】	9-1998-000094-5
【포괄위임등록번호】	2002-036201-6
【포괄위임등록번호】	2003-023248-3
【발명자】	
【성명】	윤수상
【출원인코드】	4-2001-013189-4
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김희소 (인) 대리인 김봉희 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	9	면	9,000	원
---------	---	---	-------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	7	항	333,000	원
---------	---	---	---------	---

【합계】	371,000	원		
------	---------	---	--	--

【감면사유】	소기업 (70%감면)			
--------	-------------	--	--	--

【감면후 수수료】	111,300	원		
-----------	---------	---	--	--

## 【첨부서류】

1. 요약서·명세서(도면)\_1통 2. 소기업임을 증명하는 서류[사업자  
등록증 사본, 상시종업원수확인서  
류(원천징수이행상황신고서)]\_1통

## 【요약서】

## 【요약】

본 발명은 엇배열 디자인 구조를 갖는 웨이퍼 및 이를 이용한 반도체패키지 제조방법에 관한 것이다.

본 발명은 종래의 격자형 배열을 갖는 웨이퍼 및 이러한 웨이퍼를 이용한 반도체패키지의 제조방법이 갖는 제반 문제점을 감안하여 안출한 것으로, 본 발명은 웨이퍼의 다이 배열 형태를 엇배열 디자인 구조를 갖도록 디자인 설계함으로서 기존의 격자형 배열에 비해 웨이퍼 당 다이의 갯수를 최적화(6%~8%의 잉여 다이를 생성) 하여 다이의 생산 원가를 낮출 수 있음과 동시에, 반도체패키지를 제조함에 있어서도 캐리어(200)를 이용한 다이 검사가 이루어지도록 함으로써 다이 테스터의 이용을 향상을 통한 다이의 검사시간을 대폭 줄이고, 기존 반도체패키지 제조공정에서 필수적으로 수행했던 불량 다이의 색인을 위한 잉킹공정을 생략함으로써 공정의 단순화를 유도하며, 더욱이 캐리어(200)에 다이(101)를 탑재하여 캐리어(200)에 의한 다이(101)의 핸들링(Handling)이 이루어지도록 함으로써 생산성의 향상과 인라인(In-Line) 자동화를 가능케 하고 나아가 반도체 제조장비의 가격인하에도 일조를 할 수 있게 된다.

## 【대표도】

도 7

## 【색인어】

웨이퍼, 반도체패키지 제조방법

## 【명세서】

## 【발명의 명칭】

엇배열 디자인 구조를 갖는 웨이퍼 및 이를 이용한 반도체패키지 제조방법{A WAFER WITH ALTERNATION DESIGN FORM AND THE SEMICONDUCTOR PACKAGE MANUFACTURING METHOD THEREFOR}

## 【도면의 간단한 설명】

도 1a~1d는 종래 격자 배열 디자인 구조를 갖는 웨이퍼의 예시도,

도 2는 종래 웨이퍼를 이용한 반도체패키지 제조공정도,

도 3은 본 발명에 의한 웨이퍼의 바람직한 엇배열 디자인 구조를 보인 예시도,

도 4는 본 발명에 있어서 웨이퍼의 다이 디자인 횡선을 따라 1차 소잉을 한 상태의 예시도,

도 5는 본 발명에 있어서 1차 소잉된 스트립들 중 엇배열된 스트립들을 이동시켜 다이 디자인 종선의 종렬 정렬이 이루어져 격자 배열 디자인 구조를 이룬 웨이퍼의 예시도,

도 6은 본 발명에 있어서 격자 배열로 정렬된 웨이퍼의 다이 디자인 종선을 따라 2차 소잉을 한 상태의 웨이퍼 예시도,

도 7은 본 발명의 엇배열 디자인 구조를 갖는 웨이퍼를 이용하는 반도체패키지의 제조 과정을 간략히 설명하는 제조공정도,

도 8은 본 발명에 있어서 소잉 완료된 웨이퍼에서 싱글레이션 된 다이들을 탑재할 와플 형 캐리어의 예시도,

도 9는 본 발명에 있어서 다이들이 탑재된 캐리어를 이용한 불량 다이의 검사 예시도,

도 10은 본 발명에 있어서 검사된 캐리어에서 소팅피커를 사용한 불량 다이의 제거 예 시도,

도 11은 본 발명에 있어서 캐리어를 이용해 다이 본더에 다이를 공급하는 예시도.

#### <도면의 주요부분에 대한 부호의 설명>

100 : 웨이퍼	0 : 웨이퍼 중심
L1 : 다이 디자인 횡선	L2 : 다이 디자인 종선
101 : 다이(날개의 반도체칩)	200 : 캐리어
201 : 포켓	300 : 테스트 장비
400 : 소팅 피커	500 : 다이 피커
600 : 다이 본더	

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 엇배열 디자인 구조를 갖는 웨이퍼 및 이를 이용한 반도체패키지 제조방법에 관한 것이다.

<20> 일반적으로 반도체패키지의 제조에 사용되는 웨이퍼는 도 1a~1d의 예시에서 보는 바와 같이 일정 크기를 갖는 원형의 웨이퍼에 배열되는 다수의 반도체칩(이하, "다이"라 함)을 디자

인 설계함에 있어서 제조공정에서의 작업성을 고려하여 소잉작업만이 용이하도록 통상 격자형으로 설계 디자인되어 있음을 볼 수 있다.

- <21> 물론, 직선으로 소잉되는 작업성을 고려해 볼 때 다이의 배열 디자인을 격자상으로 디자인 하는 것이 바람직하다 하겠지만, 웨이퍼의 형상이 원판형으로 구성되는 관계로 원판 형상의 웨이퍼에 담을 수 있는 유효 다이의 갯수는 한정적일 수밖에 없다.
- <22> 따라서, 격자형태의 범위 안에서는 최상의 배열을 한다하여도 유효 다이(101)의 갯수를, 예를 들어 도 1a의 경우는 259개, 도 1b의 경우는 258개, 도 1c의 경우는 264개, 도 1d의 경우는 254개로 밖에 디자인할 수가 없어 이러한 환경에서는 고작 유효 다이의 최적 갯수를 264개 정도로 만족할 수밖에 없는 것이다.
- <23> 또한, 이러한 격자 배열을 갖는 웨이퍼를 이용하여 반도체패키지를 제조함에 있어서도 종래에는 도 2의 공정도에서 예시 하듯이 소잉작업 완료후 날개의 다이(101)들이 접착 시트(도시생략)에 붙어 있는 상태에서 직접 불량 다이를 찾아내는 검사를 진행하면서 일정 영역별로 테스트를 실시하는 검사 방법을 사용하고 있기 때문에 유효 다이가 아닌 것(웨이퍼의 원주면 부근에 위치한 육안으로도 판별이 되는 다이가 아닌 자재)까지 (예를 들어 4×4의 영역(16개씩)별로 검사를 할 경우 때에 따라서는 유효 다이 1개만을 검사하는 경우가 발생할 수도 있음) 모두 검사를 하게 되는 등 검사 시간의 낭비를 초래하는 문제가 있었고, 또한 종래에는 테스트 공정에서 발견된 불량 다이를 분리해 내기 위한 방법의 하나로 불량 다이의 표면에 소정의 표시를 하는 잉킹 공정을 추가해야 하는 공정상의 복잡함이 있었다.

## 【발명이 이루고자 하는 기술적 과제】

- <24> 본 발명은 상기와 같은 종래의 격자형 디자인 배열을 갖는 웨이퍼 및 이러한 웨이퍼를 이용한 반도체패키지의 제조방법이 갖는 제반 문제점을 감안하여 안출한 것으로, 본 발명의 목적은 웨이퍼의 다이 디자인 배열 형태를 엇배열 디자인 구조를 갖도록 디자인 설계함으로서 기존의 격자형 디자인 배열에 비해 웨이퍼 당 다이의 갯수를 최적화(6%~8%의 잉여 다이를 생성)하여 다이의 생산 원가를 낮추는 효과를 제공함에 있으며, 또한 본 발명에서는 반도체패키지를 제조함에 있어서도 캐리어를 이용한 다이 검사가 이루어지도록 함으로써 다이 테스터의 이용을 향상을 통한 다이의 검사시간을 대폭 줄이고, 또한 기존 반도체패키지 제조공정에서 필수적으로 수행했던 불량 다이의 색인을 위한 잉킹공정을 생략함으로써 공정의 단순화를 유도하는데 다른 목적이 있으며, 특히 캐리어에 다이를 탑재하여 캐리어에 의한 다이의 핸들링이 이루어지도록 함으로써 생산성의 향상과 인라인 자동화를 실현하고 나아가 반도체 제조장비의 가격인하에도 일조를 하는데 또다른 목적이 있다..

## 【발명의 구성 및 작용】

- <25> 본 발명의 엇배열 디자인 구조를 갖는 웨이퍼는 다음과 같은 구조적인 특징이 있다.
- <26> 청구항 제1의 발명은, 웨이퍼의 중심에서 등간격 디자인된 다이 배열 구조를 이루는 다수의 스트립들이 서로 교호로 엇배열 상태를 이루도록 함으로써 웨이퍼 당 다이의 갯수를 최적화 시키는 특징이 있고,



- <27> 청구항 제2의 발명은, 제1항에 있어서 웨이퍼의 중심에 위치한 제1 스트립이 서로 대칭되게 나란히 접하며, 그 외측에 순차적으로 배열되는 다른 스트립들이 교호로 엇배열 상태를 이루도록 함으로써 웨이퍼 당 다이의 갯수를 최적화 하는 특징이 있으며,
- <28> 청구항 제3의 발명은, 제1항 또는 제2항에 있어서 등간격 디자인된 다이 배열 구조를 이루는 제1 스트립, 상기 제1 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인된 상기 제1 스트립의 각 다이와 엇배열 디자인 구조를 이루는 제2 스트립, 상기 제2 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인된 상기 제1 스트립의 다이 배열과 같은 배열을 이루며 상기 제2 스트립의 다이 배열과는 엇배열 디자인 구조를 이루는 제3 스트립, 상기 제3 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인된 상기 제2 스트립의 다이 배열과 같은 배열을 이루며 상기 제1, 제3 스트립의 다이 배열과는 엇배열 디자인 구조를 이루는 제4 스트립, 상기 제4 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인된 상기 제1, 제3 스트립의 다이 배열과 같은 배열을 이루며 상기 제2, 제4 스트립의 다이 배열과는 엇배열 디자인 구조를 이루는 제5 스트립, 상기 제5 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인된 상기 제2, 제4 스트립의 다이 배열과 같은 배열을 이루며 상기 제1, 제3, 제5 스트립의 다이 배열과는 엇배열 디자인 구조를 이루는 제6 스트립, 상기 제6 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인된 상기 제1, 제3, 제5 스트립의 다이 배열과 같은 배열을 이루며 상기 제2, 제4, 제6 스트립의 다이 배열과는 엇배열 디자인 구조를 이루는 제7 스트립, 상기 제7 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인된 상기 제2, 제4, 제6 스트립의 다이 배열과 같은 배열을 이루며 상기 제1, 제3, 제5, 제7 스트립의 다이 배열과는 엇배열 디자인 구조를 이루는 제8 스트립,

상기 제8 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인되되 상기 제1, 제3, 제5, 제7 스트립의 다이 배열과 같은 배열을 이루며 상기 제2, 제4, 제6, 제8 스트립의 다이 배열과는 엇배열 디자인 구조를 이루는 제9 스트립이 엇배열 상태를 이루도록 함

◦ 으로서 웨이퍼 당 다이의 갯수를 최적화 하는 특징이 있고,

<29> 청구항 제4의 발명은 제3항에 있어서 제1 스트립이 웨이퍼의 중심점을 중심으로 두 줄로 대칭 배열되며 웨이퍼의 중심점이 제1 스트립을 구성하는 두 개의 다이의 사이에 위치하도록 제1 스트립의 다이 배열이 이루어지도록 함으로써 웨이퍼 당 다이의 갯수를 최적화 하는 특징이 있으며,

<30> 청구항 제5의 발명은 제1~4항의 발명을 이용하여 반도체패키지를 제조하는 방법에 대한 발명으로써 싱글레이션 된 다이를 캐리어에 탑재하여 한 번에 수 개의 다이 테스트 작업이 구현되도록 하여 다이 테스터의 이용을 향상을 통한 다이의 검사시간을 대폭으로 줄이며, 또한 불량 다이를 분리하기 위한 잉킹작업을 생략할 수 있도록 하는 등 캐리어를 사용하여 제조공정의 단순화와 생산성 향상 및 비용 절감의 효과를 제공하게 되는 특징이 있다.

<31> 이하, 본 발명을 첨부된 예시 도면에 의거 실시예별로 상세히 설명하면 다음과 같다.

<32> 도 3은 본 발명에 의한 웨이퍼의 바람직한 엇배열 디자인 구조를 보인 예시도이고, 도 4는 본 발명에 있어서 웨이퍼의 다이 디자인 횡선을 따라 1차 소잉을 한 상태의 예시도이며, 도 5는 본 발명에 있어서 1차 소잉된 스트립들 중 엇배열된 스트립들을 이동시켜 다이 디자인 종선의 정렬이 이루어져 격자 배열을 이룬 웨이퍼의 예시도이고, 도 6은 본 발명에 있어서 격자 배열로 정렬진 웨이퍼의 다이 디자인 종선을 따라 2차 소잉을 한 상태의 웨이퍼 예시도이며, 도 7은 본 발명의 엇배열 디자인 구조를 갖는 웨이퍼를 이용하는 반도체패키지의 제조과정을 간략히 설명하는 제조공정도이고, 도 8은 본 발명에 있어서 소잉 완료된 웨이퍼에

서 싱글레이션 된 다이들을 탑재할 와플형 캐리어의 예시도이며, 도 9는 본 발명에 있어서 다이들이 탑재된 캐리어를 이용한 불량 다이의 검사 예시도이고, 도 10은 본 발명에 있어서 검사된 캐리어에서 소팅피커를 사용한 불량 다이의 제거 예시도이며, 도 11은 본 발명에 있어서 캐리어를 이용해 다이 본더에 다이를 공급하는 예시도이다.

<33> 본 발명의 웨이퍼(100)는 도 3의 예시와 같이 웨이퍼(100) 당 다이(101)의 최적화 설계가 이루어지도록 다이(101)들이 스트립(Strip) 단위로 엇배열 디자인 구조를 이루도록 배열되어 있다. 즉 웨이퍼(100)의 중심(0)에서 서로 대칭되게 나한히 접하며 등간격 디자인된 다이 배열 구조를 이루는 다수의 스트립(1~9)(1'~9')들이 서로 교호로 엇배열된 상태를 이루게 되는데, 웨이퍼(100)의 중심에 위치한 제1 스트립(1)(1')에서 순차적으로 배열되는 스트립(2~9)(2'~9')들이 교호로 엇배열 상태를 이루게 된다.

<34> 본 발명의 웨이퍼(100)에 최적화 설계되는 다이 디자인 배열 구조를 구체적으로 설명하면,

<35> 등간격 디자인된 다이 배열 구조를 이루는 제1 스트립(1)(1')이 웨이퍼(100)의 중심점(0)을 기준으로 나란하게 횡방향으로 배열되며, 동 제1 스트립(1)(1')은 웨이퍼(100)의 중심점(0)을 중심으로 두 줄로 대칭 배열되는데 웨이퍼(100)의 중심점(0)이 이 제1 스트립(1)(1')을 구성하는 두 개의 다이(101a)(101b) 사이에 위치하도록 제1 스트립(1)(1')의 다이 디자인 배열이 이루어져 있다.

<36> 이어서 상기 제1 스트립(1)(1')에 접하여 서로 대칭을 이루도록(도 3의 도시상 상하로) 적어도 한 줄 이상으로 등간격 디자인되는 제2 스트립(2)(2')이 배열되는데, 동 제2 스트립(2)(2')은 상기 제1 스트립(1)(1')의 각 다이(101)와 엇배열 디자인 구조를 이루도록 배열된다. 도 3에서는 6줄의 스트립 구성을 예시하고 있다.

- <37> 이어서 상기 제2 스트립(2)(2')에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인되는 제3 스트립(3)(3')이 배열되는데, 동 제3 스트립(3)(3')은 상기 제1 스트립(1)(1')의 다이 디자인 배열과 같은 배열을 이루며 상기 제2 스트립(2)(2')의 다이 디자인 배열과는 엇배열 디자인 구조를 이루고 있다. 도 3에서는 3줄의 스트립 구성을 예시하고 있다.
- <38> 이어서 상기 제3 스트립(3)(3')에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인되는 제4 스트립(4)(4')이 배열되는데, 동 제4 스트립(4)(4')은 상기 제2 스트립(2)(2')의 다이 디자인 배열과 같은 배열을 이루며 상기 제1, 제3 스트립(1)(1')(3)(3')의 다이 디자인 배열과는 엇배열 디자인 구조를 이루고 있다. 도 3에서는 2줄의 스트립 구성을 예시하고 있다.
- <39> 이어서 상기 제4 스트립(4)(4')에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인되는 제5 스트립(5)(5')이 배열되는데, 동 제5 스트립(5)(5')은 상기 제1, 제3 스트립(1)(1')(3)(3')의 다이 디자인 배열과 같은 배열을 이루며 상기 제2, 제4 스트립(2)(2')(4)(4')의 다이 디자인 배열과는 엇배열 디자인 구조를 이루고 있다. 도 3에서는 1줄의 스트립 구성을 예시하고 있다.
- <40> 이어서 상기 제5 스트립(5)(5')에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인되는 제6 스트립(6)(6')이 배열되는데, 동 제6 스트립(6)(6')은 상기 제2, 제4 스트립(2)(2')(4)(4')의 다이 디자인 배열과 같은 배열을 이루며 상기 제1, 제3, 제5 스트립(1)(1')(3)(3')(5)(5')의 다이 디자인 배열과는 엇배열 디자인 구조를 이루고 있다. 도 3에서는 1줄의 스트립 구성을 예시하고 있다.
- <41> 이어서 상기 제6 스트립(6)(6')에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인되는 제7 스트립(7)(7')이 배열되는데, 동 제7 스트립(7)(7')은 상기 제1, 제3,

제5 스트립(1)(1')(3)(3')(5)(5')의 다이 디자인 배열과 같은 배열을 이루며 상기 제2, 제4, 제6 스트립(2)(2')(4)(4')(6)(6')의 다이 디자인 배열과는 엇배열 디자인 구조를 이루고 있다. 도 3에서는 1줄의 스트립 구성을 예시하고 있다.

<42> 이어서 상기 제7 스트립(7)(7')에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인되는 제8 스트립(8)(8')이 배열되는데, 동 제8 스트립(8)(8')은 상기 제2, 제4, 제6 스트립(2)(2')(4)(4')(6)(6')의 다이 디자인 배열과 같은 배열을 이루며 상기 제1, 제3, 제5, 제7 스트립(1)(1')(3)(3')(5)(5')(7)(7')의 다이 디자인 배열과는 엇배열 디자인 구조를 이루고 있다. 도 3에서는 1줄의 스트립 구성을 예시하고 있다.

<43> 이어서 상기 제8 스트립(8)(8')에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인되는 제9 스트립(9)(9')이 배열되는데, 동 제9 스트립(9)(9')은 상기 제1, 제3, 제5, 제7 스트립(1)(1')(3)(3')(5)(5')(7)(7')의 다이 디자인 배열과 같은 배열을 이루며 상기 제2, 제4, 제6, 제8 스트립(2)(2')(4)(4')(6)(6')(8)(8')의 다이 디자인 배열과는 엇배열 디자인 구조를 이루고 있다. 도 3에서는 1줄의 스트립 구성을 예시하고 있다.

<44> 본 발명에서는 이와 같이 다이(101)를 구성하는 스트립의 배열을 엇배열을 이루도록 디자인 설계함으로써 웨이퍼(100) 당 다이(101) 갯수의 최적화가 가능해 지는 것이다.

<45> 한편, 엇배열 디자인 구조를 갖는 웨이퍼를 이용하는 반도체패키지의 제조방법에 대하여 상세히 기술하고자 한다.

<46> <제1 단계; 웨이퍼 준비공정>

<47> 엇배열 디자인 구조를 갖는 웨이퍼(100)를 소잉장비(도시생략)에 세팅한다.

<48> <제2 단계; 웨이퍼 1차 소잉공정>

- <49> 웨이퍼(100)에 설계된 다이 디자인 형선(L1)을 따라 정밀하게 소잉을 한다. 따라서 웨이퍼(100)는 도 4의 예시와 같이 다이 디자인 형선(L1)을 따라 절단된 상태가 된다.
- <50> <제3 단계; 다이 디자인 종선 정렬공정>
- <51> 1차 소잉된 웨이퍼(100)에서 엇배열된 제2, 제4, 제6, 제8 스트립 (2)(2')(4)(4')(6)(6')(8)(8')을 진공흡착기(도시생략)로 떼내어 이동(다이 길이의 1/2 크기만큼 이동)시켜 제1, 제3, 제5, 제7, 제9 스트립(1)(1')(3)(3')(5)(5')(7)(7')(9)(9')의 다이 디자인 종선(L2)이 정확한 정렬이 되도록 접착시트(도시생략)에 재접착시킨다. 따라서 웨이퍼(100)는 도 5의 예시와 같이 격자 배열을 이루게 된다.
- <52> 한편, 여기서 작업의 효율성을 높이기 위하여 상기 제2 단계(웨이퍼 1차 소잉공정)를 마친 1차 소잉된 웨이퍼(100)를 이동시켜 상기 제3 단계(다이 디자인 종선 정렬공정)를 별도로 실행할 수도 있을 것이다.
- <53> <제4 단계; 웨이퍼 2차 소잉공정>
- <54> 격자 배열을 이룬 웨이퍼(100)의 다이 디자인 종선(L2)을 따라 정밀하게 소잉을 한다. 따라서 웨이퍼(100)는 도 6의 예시와 같이 다이 디자인 종선(L2)으로도 절단된 상태가 되므로 각각의 다이(101)는 서로 분리된 상태로 접착시트에 붙어 있게 된다.
- <55> 여기서, 제4 단계(웨이퍼 2차 소잉공정)를 실행하기 전에 정렬된 다이 디자인의 종선(L2)이 정확히 정렬되었는지를 검사하는 공정을 추가하여 작업의 정확성을 기할 수 있을 것이다.
- <56> <제5 단계; 웨이퍼 싱글레이션공정>

- <57> 날개의 상태로 접촉시트에 붙어 있는 다이(101)들을 다이 피커(500)를 사용하여 하나씩 하나씩 날개로 떼내어 도 8의 예시와 같이 준비된 와플형 캐리어(200)의 포켓(201)에 순차적으로 탑재한다.
- <58> 한편, 여기서 작업의 효율성을 높이기 위하여 상기 제4 단계(웨이퍼 2차 소잉공정)를 마친 2차 소잉된 웨이퍼(100)를 이동시켜 상기 제5단계(웨이퍼 싱글레이션공정)를 별도로 실행할 수도 있을 것이다.
- <59> <제6 단계; 다이 검사공정>
- <60> 다이(101)가 탑재된 캐리어(200)를 도 9의 예시와 같이 테스트장비(300)에 이동시켜 단 한 번의 검사로 불량 다이를 찾아낸다.
- <61> <제7 단계; 다이 소팅공정>
- <62> 도 10의 예시와 같이 소팅 피커(400)를 사용하여 다이 검사공정에서 확인된 불량 다이 (Reject Die)를 캐리어(200)에서 제거한다.
- <63> <제8 단계; 다이 본더로의 다이공급공정>
- <64> 정상 품질의 다이(101)만을 탑재한 캐리어(200)를 이동시켜 도 11의 예시와 같이 다이 피커(500)를 사용해 다이 본더(600)에 다이(101)를 공급한다.
- <65> 이어서, 다이접착, 와이어 본딩, 몰딩, 트립/포밍 등 그 밖의 필수 제조공정을 거쳐 하나의 반도체패키지가 완성된다.

## 【발명의 효과】

- <66> 이와 같이 본 발명에 의하면, 다이 디자인 배열을 엇배열 디자인 구조를 갖는 웨이퍼를 사용하게 되므로 다이 디자인 배열이 격자 형태로 이루어진 기존의 웨이퍼에 비해 웨이퍼 당 6~8%의 잉여 다이를 생성할 수 있어 다이 제조원가를 절감할 수 있는 효과가 있으며, 동시에 본 발명에서는 캐리어(200)를 이용한 다이 검사가 이루어지도록 함으로써 다이 테스터의 이용을 향상을 통한 다이(101)의 검사시간을 대폭 줄일 수 있는 효과가 있다.
- <67> 또한 본 발명에서는 기존 반도체패키지 제조공정에서 필수적으로 수행하던 불량 다이의 색인을 위한 잉킹공정을 생략할 수 있어 공정의 단순화를 유도할 있으며, 더욱이 캐리어(200)에 다이(101)를 탑재하여 캐리어(200)에 의한 다이(101)의 핸들링(Handling)이 이루어지도록 함으로써 생산성의 향상과 인라인(In-Line) 자동화를 가능케 하고 나아가 반도체제조장비의 가격인하에도 일조를 할 수 있는 효과가 있다.
- <68> 한편, 본 발명에 의한 반도체패키지를 제조함에 있어서 상기 제2 단계(웨이퍼 1차 소잉 공정)를 마친 1차 소잉된 웨이퍼(100)를 이동시켜 상기 제3단계(다이 디자인 종선 정렬공정)를 별도로 실행하도록 할 경우, 작업의 효율성을 높이는 효과를 거둘 수 있으며, 또한 상기 제4 단계(웨이퍼 2차 소잉공정)를 마친 2차 소잉된 웨이퍼(100)를 이동시켜 상기 제5단계(웨이퍼 싱글레이션공정)를 별도로 실행하도록 할 경우에 있어서도 작업의 효율성을 높이는 효과를 거둘 수 있는 것이다..



**【특허청구범위】****【청구항 1】**

웨이퍼의 중심에서 등간격 디자인된 다이 배열 구조를 이루는 다수의 스트립들이 서로 교호로 엇배열 상태를 이루도록 함을 특징으로 하는 엇배열 디자인 구조를 갖는 웨이퍼.

**【청구항 2】**

제1항에 있어서,

웨이퍼의 중심에 위치한 제1 스트립이 서로 대칭되게 나란히 접하며, 그 외측에 순차적으로 배열되는 다른 스트립들이 교호로 엇배열 상태를 이루도록 함을 특징으로 하는 엇배열 디자인 구조를 갖는 웨이퍼.

**【청구항 3】**

제1항 또는 제2항에 있어서, 상기 스트립들이,

등간격 디자인된 다이 배열 구조를 이루는 제1 스트립;

상기 제1 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인되되 상기 제1 스트립의 각 다이와 엇배열 디자인 구조를 이루는 제2 스트립;

상기 제2 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인되되 상기 제1 스트립의 다이 디자인 배열과 같은 배열을 이루며 상기 제2 스트립의 다이 디자인 배열과는 엇배열 디자인 구조를 이루는 제3 스트립;

상기 제3 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인 되되 상기 제2 스트립의 다이 디자인 배열과 같은 배열을 이루며 상기 제1, 제3 스트립의 다이 디자인 배열과는 엇배열 디자인 구조를 이루는 제4 스트립;

상기 제4 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인 되되 상기 제1, 제3 스트립의 다이 디자인 배열과 같은 배열을 이루며 상기 제2, 제4 스트립의 다이 디자인 배열과는 엇배열 디자인 구조를 이루는 제5 스트립;

상기 제5 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인 되되 상기 제2, 제4 스트립의 다이 디자인 배열과 같은 배열을 이루며 상기 제1, 제3, 제5 스트립의 다이 디자인 배열과는 엇배열 디자인 구조를 이루는 제6 스트립;

상기 제6 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인 되되 상기 제1, 제3, 제5 스트립의 다이 디자인 배열과 같은 배열을 이루며 상기 제2, 제4, 제6 스트립의 다이 디자인 배열과는 엇배열 디자인 구조를 이루는 제7 스트립;

상기 제7 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인 되되 상기 제2, 제4, 제6 스트립의 다이 디자인 배열과 같은 배열을 이루며 상기 제1, 제3, 제5, 제7 스트립의 다이 디자인 배열과는 엇배열 디자인 구조를 이루는 제8 스트립;

상기 제8 스트립에 접하여 서로 대칭을 이루도록 적어도 한 줄 이상으로 등간격 디자인 되되 상기 제1, 제3, 제5, 제7 스트립의 다이 디자인 배열과 같은 배열을 이루며 상기 제2, 제4, 제6, 제8 스트립의 다이 디자인 배열과는 엇배열 디자인 구조를 이루는 제9 스트립;

을 포함함을 특징으로 하는 엇배열 디자인 구조를 갖는 웨이퍼.

## 【청구항 4】

제3항에 있어서,

제1 스트립이 웨이퍼의 중심점을 중심으로 두 줄로 대칭 배열되며 웨이퍼의 중심점이 제1 스트립을 구성하는 두 개의 다이의 사이에 위치하도록 제1 스트립의 다이 디자인 배열이 이루어지도록 함을 특징으로 하는 엇배열 디자인 구조를 갖는 웨이퍼.

## 【청구항 5】

엇배열 디자인 구조를 갖는 웨이퍼(100)를 소잉장비에 세팅하여 웨이퍼(100)를 소잉할 수 있도록 준비하는 제1 단계;

웨이퍼 (100)에 설계된 다이 디자인 횡선(L1)을 따라 정밀하게 1차적으로 소잉을 하는 제2 단계;

1차 소잉된 웨이퍼(100)에서 엇배열된 제2, 제4, 제6, 제8 스트립 (2)(2')(4)(4')(6)(6')(8)(8')을 떼내어 이동시켜 제1, 제3, 제5, 제7, 제9 스트립 (1)(1')(3)(3')(5)(5')(7)(7')(9)(9')의 다이 디자인 종선(L2)이 정확한 정렬이 되도록 하는 제3 단계;

격자 배열을 이룬 웨이퍼(100)의 다이 디자인 종선(L2)을 따라 정밀하게 2차 소잉하는 제4 단계;

날개의 상태로 접착시트에 붙어 있는 다이(101)들을 싱귤레이션(Singulation) 하여 하나 씩 날개로 캐리어(200)의 포켓(201)에 탑재하는 제5 단계;

다이 (101)가 탑재된 캐리어(200)에서 불량 다이를 검사하는 제6 단계;

다이 검사공정에서 확인된 불량 다이(Reject Die)를 소팅하여 캐리어(200)에서 제거하는 제7 단계;

정상 품질의 다이(101)만을 탑재한 캐리어(200)를 이동시켜 다이 본더(600)에 다이(101)를 공급하는 제8 단계; 및

통상의 다이 접착, 와이어 본딩 공정과 몰딩, 트림/포밍 공정을 포함하는 엿배열 디자인 구조를 갖는 웨이퍼를 이용한 반도체패키지 제조방법.

#### 【청구항 6】

제5항에 있어서,

상기 제2 단계(웨이퍼 1차 소잉공정)를 마친 1차 소잉된 웨이퍼(100)를 이동시켜 상기 제3단계(다이 디자인 종선 정렬공정)를 별도로 실행하도록 함을 특징으로 하는 엿배열 디자인 구조를 갖는 웨이퍼를 이용한 반도체패키지 제조방법.

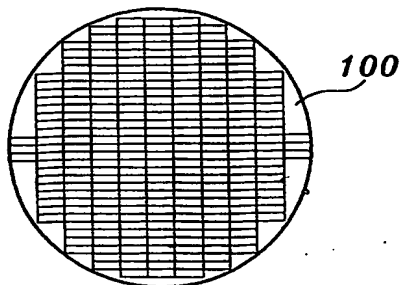
#### 【청구항 7】

제5항에 있어서,

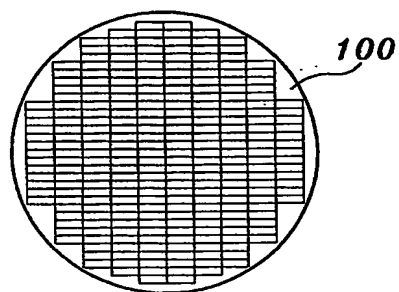
상기 제4 단계(웨이퍼 2차 소잉공정)를 마친 2차 소잉된 웨이퍼(100)를 이동시켜 상기 제5단계(웨이퍼 싱글레이션공정)를 별도로 실행하도록 함을 특징으로 하는 엿배열 디자인 구조를 갖는 웨이퍼를 이용한 반도체패키지 제조방법.

【도면】

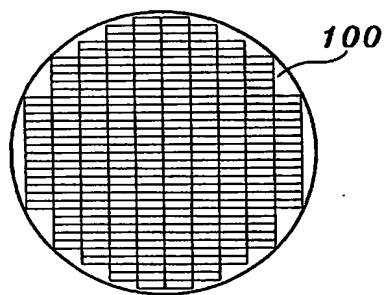
【도 1a】



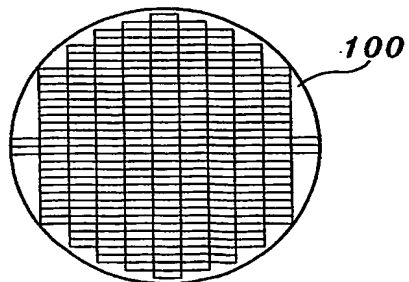
【도 1b】



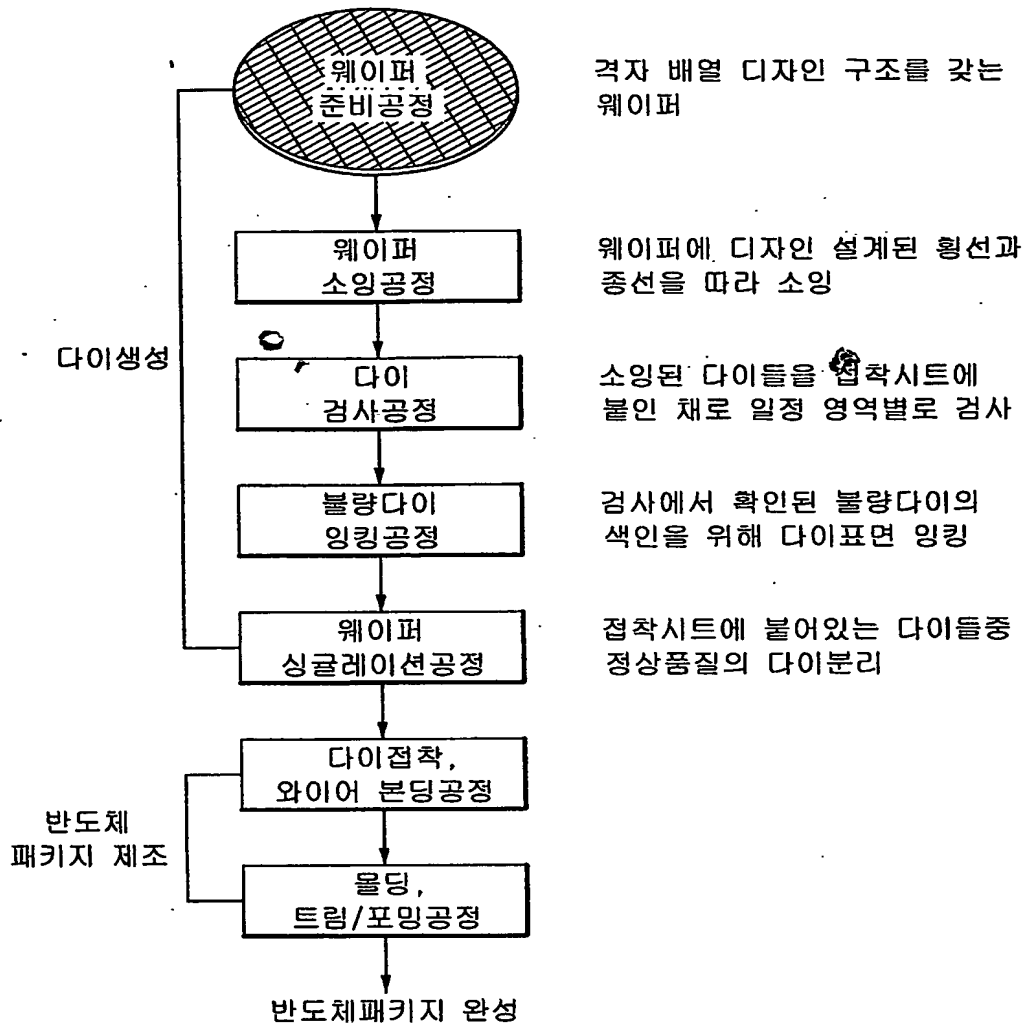
【도 1c】



【도 1d】

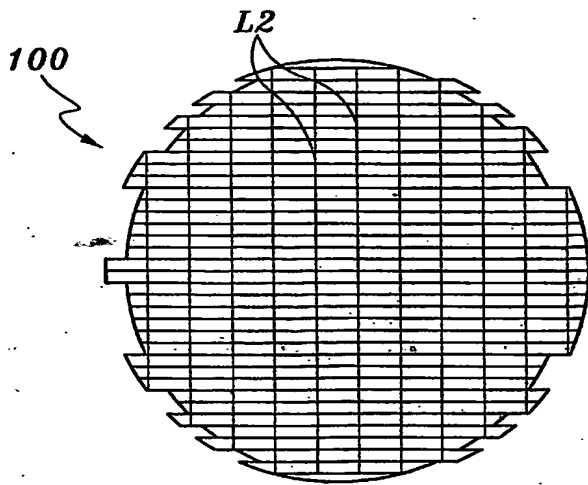


【도 2】

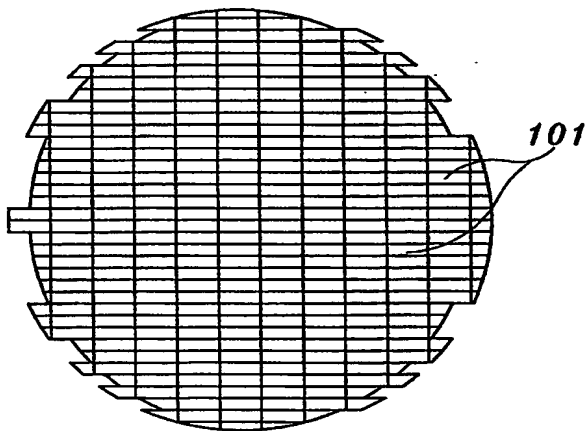


다이 디자인  
갯수 276개」

【도 5】

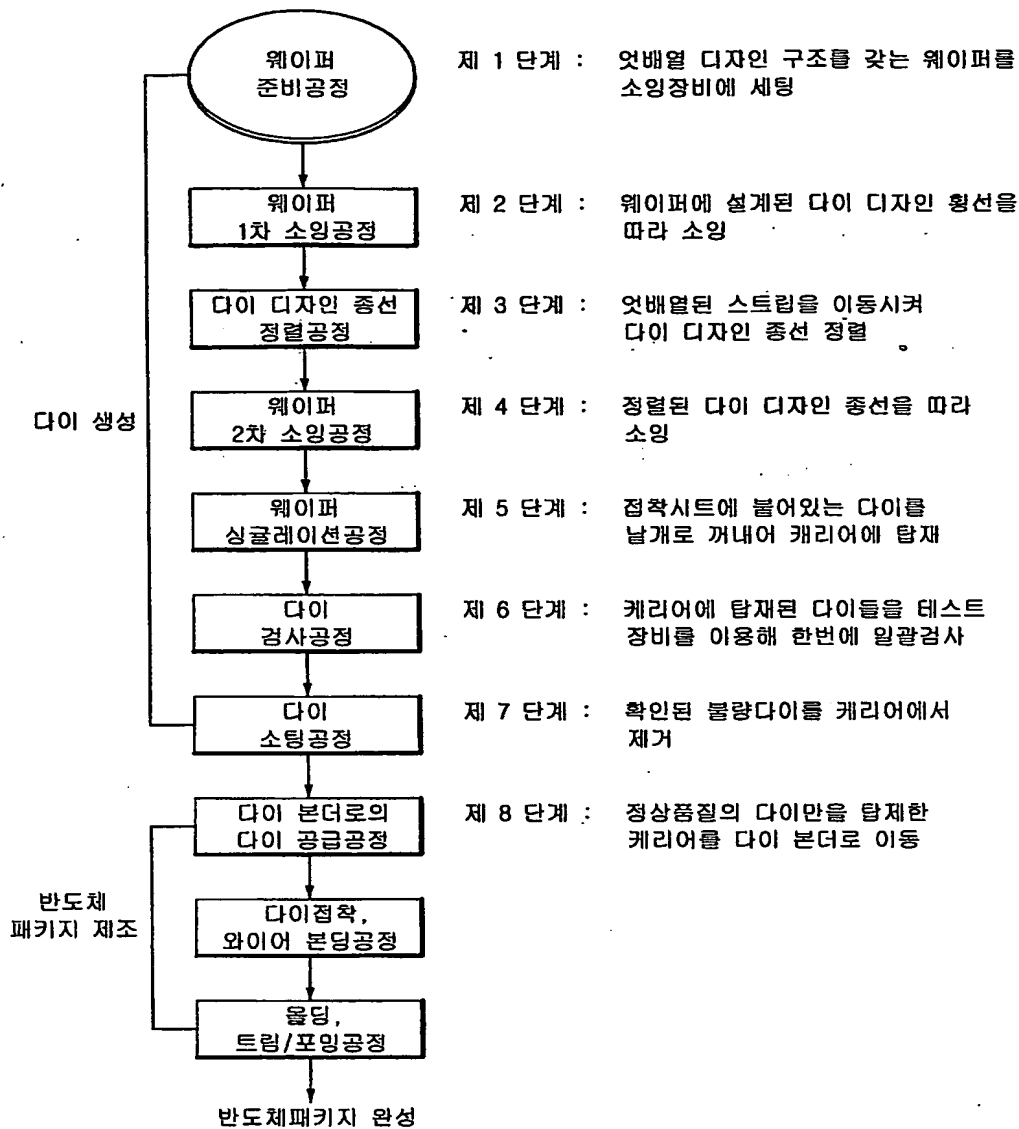


【도 6】

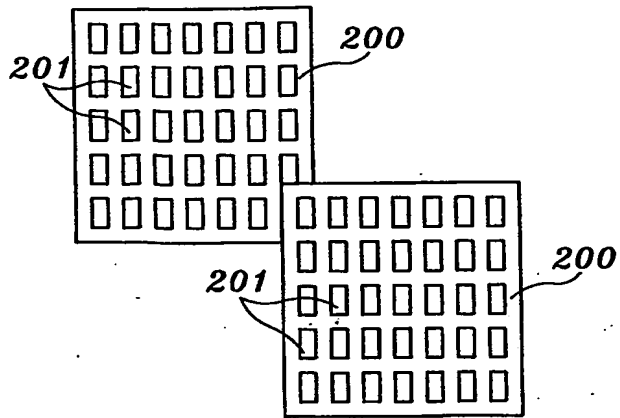




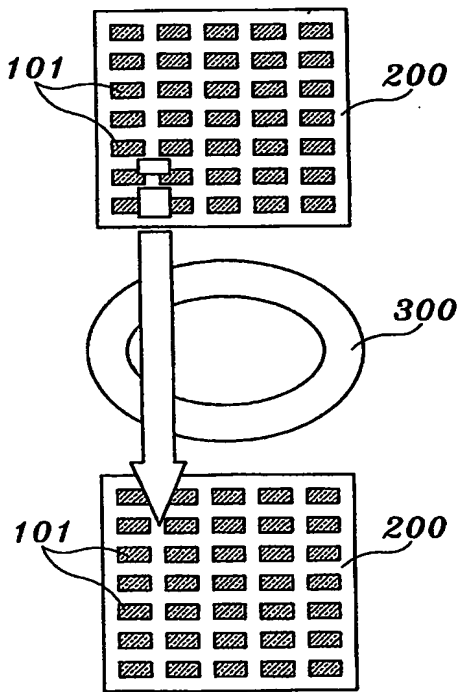
【도 7】



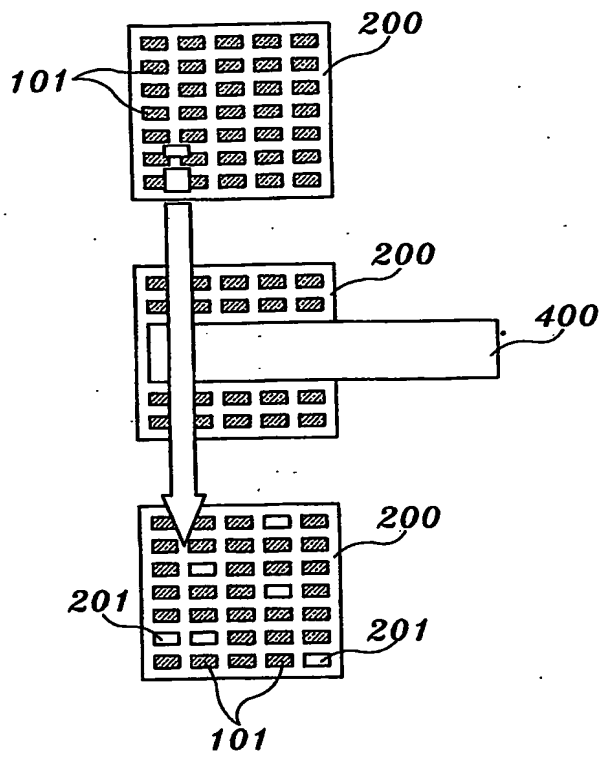
【도 8】



【도 9】



【도 10】



【도 11】

